

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-100866

(43)Date of publication of application : 04.04.2003

(51)Int.Cl.

H01L 21/768

H01L 21/28

(21)Application number : 2001-291013

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.09.2001

(72)Inventor : FUKUYAMA SHUNICHI
OWADA TAMOTSU
SAKUMA HIROKO

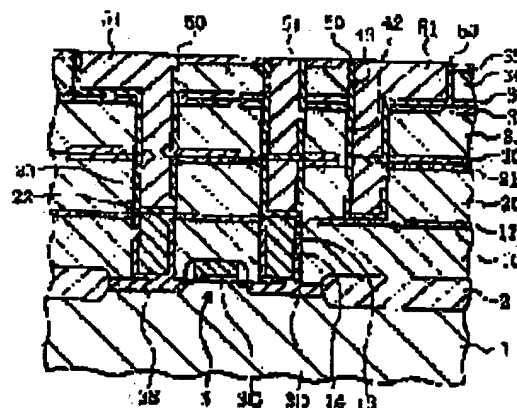
(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the generation of minute irregularities in the exposed surface of a low permittivity and porous insulating material when it is exposed to an etching atmosphere at the time of open etching.

SOLUTION: A diffusion barrier film 30, a via layer insulating film 31 of porous material, a lower etching stopper film 32, an upper etching stopper film 33, a wiring layer insulating film 34 of porous material, a cap layer 35, and a hard mask are formed in sequence on a substrate on which underlayer wiring is formed. After a wiring trench pattern is formed in the hard mask, etching is performed from the top of the wiring layer insulating film 34 up to the midpoint of the via layer insulating film 31 by using the resist pattern as a mask, and a via hole 42 is formed halfway of the whole depth.

After removing the resist pattern, a wiring trench 43 and a via hole 42 are formed at the same time by using a hard mask 36 as a mask and using the upper etching stopper film 33 and the diffusing barrier film 30 as etching stoppers. The diffusion barrier 30 in the bottom of the via hole 42 is removed by etching.



LEGAL STATUS

[Date of request for examination]

24.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

Best Available Copy

Searching PAJ

2/2 ページ

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-100866

(P2003-100866A)

(43) 公開日 平成15年4月4日 (2003.4.4)

(51) Int.Cl.

識別記号

F 1

テ-73-7 (参考)

H 0 1 L 21/768

H 0 1 L 21/28

L 4 M 1 0 4

21/28

21/90

A 5 F 0 3 3

C

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願2001-291013 (P2001-291013)

(22) 出願日 平成13年9月25日 (2001.9.25)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 福山 俊一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 大和田 保

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎 (外1名)

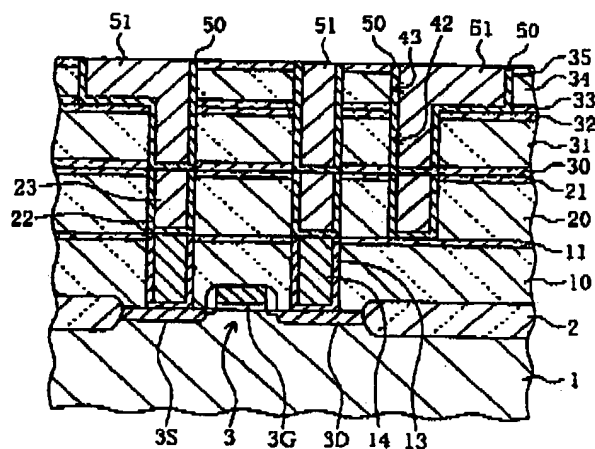
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】 (修正有)

【課題】 低誘電率多孔質絶縁材料が、開口エッチングの際にエッチング雰囲気中に曝され、露出表面に微小な凹凸が発生することを防止する。

【解決手段】 下層配線が形成された基板上に、拡散バリア膜30、多孔質材料からなるビア層絶縁膜31、下側エッチングストッパ膜32、上側エッチングストッパ膜33、多孔質材料からなる配線層絶縁膜34、キャップ層35、ハードマスクとを順に成膜する。ハードマスクに配線溝パターンを形成後、レジストパターンをマスクとして配線層絶縁膜34の上面からビア層絶縁膜31の中間までエッチングし、ビアホール42を途中の深さまで開口する。レジストパターンを除去後、ハードマスク36をマスクとして上側エッチングストッパ膜33と拡散バリア膜30をエッチングストッパとして、配線溝43を形成すると同時にビアホール42を開口する。ビアホール底面の拡散バリア30をエッチング除去する。



(2)

特開2003-100866

1

【特許請求の範囲】

【請求項1】 半導体素子が形成され、一部に導電性領域が露出している基板の表面上に、絶縁材料からなる第1の膜を形成する工程と、

前記第1の膜の上に、絶縁材料からなるビア層絶縁膜を形成する工程と、

前記ビア層絶縁膜の上に、絶縁材料からなる第2の膜を形成する工程と、

前記第2の膜の上に、絶縁材料からなる第3の膜を形成する工程と、

前記第3の膜の上に、絶縁材料からなる配線層絶縁膜を形成する工程と、

前記配線層絶縁膜の上面から前記第3の膜の下面まで達する配線溝、及び該配線溝の底面の一部に、前記第1の膜の下面まで達するビアホールを形成する工程であって、該ビアホールは、前記導電性領域と部分的に重なる位置に配置され、該配線溝の形成は、前記第3の膜に対して前記配線層絶縁膜を選択的にエッチングする条件で該配線層絶縁膜をエッチングすることにより行う工程と、

前記第2の膜に対して前記第3の膜を選択的にエッチングする条件で、前記配線溝の底面に露出した前記第3の膜、及び前記ビアホールの底面に露出した第1の膜を除去する工程と、

前記ビアホール及び配線溝内に、導電材料からなる配線を埋め込む工程とを有する半導体装置の製造方法。

【請求項2】 前記ビア層絶縁膜が、多孔質の絶縁材料で形成されている請求項1に記載の半導体装置の製造方法。

【請求項3】 前記配線溝及びビアホールを形成する工程が、

前記ビアホールを形成する位置に、前記配線層絶縁膜の下面から、前記ビア層絶縁膜の中間まで達する凹部を形成する工程と、

前記凹部と部分的に重なる位置に、前記第3の膜まで達する前記配線溝を形成すると同時に、前記第3の膜をマスクとして前記凹部の底をさらにエッチングし、前記第1の膜まで達する前記ビアホールを形成する工程とを含む請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記第2の膜の誘電率が、前記第3の膜の誘電率よりも低い請求項1乃至3のいずれかに記載の半導体装置の製造方法。

【請求項5】 表面の一部に導電性領域を有する基板の上に形成された絶縁材料からなる第1の膜と、

前記第1の膜の上に配置され、絶縁材料で形成されたビア層絶縁膜と、

前記ビア層絶縁膜の上に配置され、絶縁材料で形成された第2の膜と、

前記第2の膜の上面から、前記第1の膜の底面まで達するビアホールと、

2

前記第2の膜の上に配置され、該第2の膜とはエッチング耐性の異なる絶縁材料で形成された第3の膜と、

前記第3の膜の上に、該第3の膜とはエッチング耐性の異なる絶縁材料で形成された配線層絶縁膜と、

前記配線層絶縁膜の上面から前記第2の膜の上面まで達し、底面の一部において前記ビアホールに繋がる配線溝と、

前記配線溝及び前記ビアホール内に埋め込まれた導電材料からなる配線部材とを有する半導体装置。

【請求項6】 前記ビア層絶縁膜が、多孔質の絶縁材料で形成されている請求項5に記載の半導体装置。

【請求項7】 前記第2の膜の誘電率が、前記第3の膜の誘電率よりも低い請求項5または6に記載の半導体装置。

【請求項8】 半導体基板の表面上に、多孔質絶縁材料からなる第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の上に、絶縁材料からなる第1のエッチングストップパ膜を形成する工程と、

前記第1のエッチングストップパ膜の上に、前記第1のエッチングストップパ膜よりも誘電率の高い絶縁材料からなる第2のエッチングストップパ膜を形成する工程と、

前記第2のエッチングストップパ膜の上に、絶縁材料からなる第2の絶縁膜を形成する工程と、

前記第2の絶縁膜の上に、開口を有するマスクパターンを形成する工程と、

前記マスクパターンをエッチングマスクとし、前記第2のエッチングストップパ膜に対して前記第2の絶縁膜を選択的にエッチングする条件で、前記第2の絶縁膜をエッチングして凹部を形成し、該凹部の底面に前記第2のエッチングストップパ膜を露出させる工程と、

前記第1のエッチングストップパ膜に対して前記第2のエッチングストップパ膜を選択的にエッチングする条件で、前記凹部の底面に露出した前記第2のエッチングストップパ膜をエッチングする工程と、

前記凹部内に、導電材料からなる導電部材を埋め込む工程とを有する半導体装置の製造方法。

【請求項9】 半導体基板の上に形成された多孔質の絶縁材料からなる第1の絶縁膜と、

前記第1の絶縁膜の上に形成された絶縁材料からなる第1のエッチングストップパ膜と、

前記第1のエッチングストップパ膜の上に形成され、前記第1のエッチングストップパ膜よりも誘電率の大きな絶縁材料からなる第2のエッチングストップパ膜と、

前記第2のエッチングストップパ膜上に形成された絶縁材料からなる第2の絶縁膜と、

前記第2の絶縁膜及び前記第2のエッチングストップパ膜の2層を貫通し、底面に前記第1のエッチングストップパ膜が残っている凹部と、

前記凹部の中に埋め込まれた導電材料からなる導電部材とを有する半導体装置。

(3)

特開2003-100866

3

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法及び半導体装置に関し、特に多孔質の絶縁膜を配線層の間（ビア層）に配置した半導体装置の製造方法及び半導体装置に関する。

【0002】

【従来の技術】半導体集積回路装置において、配線間の寄生容量が、信号伝搬速度の低下の要因になっている。配線間隔が $1\mu\text{m}$ 以上である場合には、配線間の寄生容量が、デバイス全体の処理速度に与える影響が小さかった。ところが、配線間隔が $0.2\mu\text{m}$ 以下になると、上下配線間に比べて同層内の配線間隔が極めて狭くなり、配線間の寄生容量が、デバイスの処理速度に大きな影響を与えるようになる。

【0003】半導体集積回路装置の多層配線中を伝搬する信号の伝搬速度は、配線抵抗と寄生容量とによって決定される。配線を薄くすることによって、寄生容量を小さくすることができ、配線を薄くすると配線抵抗の上昇を招くため、信号伝搬速度の高速化には繋がらない。配線を薄くすることなく、寄生容量の低下を図るために、層間絶縁膜の誘電率を低くすることが有効である。

【0004】低誘電率材料として、塗布型絶縁材料、ポリテトラフルオロエチレン（PTFE）系材料、直鎖状ハイドロカーボン系材料が注目されている。塗布型絶縁材料の例として、ポリイミドやシリコン樹脂等が挙げられる。しかし、これらの材料を用いても、比誘電率を3以下にすることは困難である。PTFE系材料を用いると、比誘電率を2以下にすることが可能であるが、PTFE系材料は、他の材料との密着性が悪いため、実用的ではない。直鎖状ハイドロカーボン系材料は、酸化されやすく、酸化を受けると吸湿によって誘電率が変動しやすい。

【0005】これらの課題を解決するために、絶縁材料を多孔質化することによって低誘電率化を実現する多孔質材料が開発されている。

【0006】

【発明が解決しようとする課題】本願発明者は、絶縁材料として多孔質材料を用いると、半導体装置の製造時に、従来はなかった新たな課題が発生することを発見した。

【0007】本発明の目的は、半導体集積回路装置の絶縁材料として多孔質材料を用いた場合に発生する課題を解決することである。

【0008】

【課題を解決するための手段】本発明の一観点によると、表面上に半導体素子が形成され、表面の一部に導電性領域が露出している基板を準備する工程と、前記基板の表面上に、絶縁材料からなる第1の膜を形成する工程

4

と、前記第1の膜の上に、絶縁材料からなるビア層絶縁膜を形成する工程と、前記ビア層絶縁膜の上に、絶縁材料からなる第2の膜を形成する工程と、前記第2の膜の上に、絶縁材料からなる第3の膜を形成する工程と、前記第3の膜の上に、絶縁材料からなる配線層絶縁膜を形成する工程と、前記配線層絶縁膜の上面から前記第3の膜の上面まで達する配線溝、及び該配線溝の底面の一部に、前記第1の膜の上面まで達するビアホールを形成する工程であって、該ビアホールは、前記導電性領域と部分的に重なる位置に配置され、該配線溝の形成は、前記第3の膜に対して前記配線層絶縁膜を選択的にエッチングする条件で該配線層絶縁膜をエッチングすることにより行う工程と、前記第2の膜に対して前記第3の膜を選択的にエッチングする条件で、前記配線溝の底面に露出した前記第3の膜、及び前記ビアホールの底面に露出した第1の膜を除去する工程と、前記ビアホール及び配線溝内に、導電材料からなる配線を埋め込む工程とを有する半導体装置の製造方法が提供される。

【0009】配線溝の底面に露出した第3の膜を除去する時に、第2の膜をエッチングストッパ膜として利用することができる。このため、ビア層絶縁膜の上面が配線溝の底面に露出することを防止できる。この方法により、下記の構造の半導体装置が得られる。

【0010】本発明の他の観点によると、表面の一部に導電性領域を有する基板の上に形成された絶縁材料からなる第1の膜と、前記第1の膜の上に配置され、多孔質の絶縁材料で形成されたビア層絶縁膜と、前記ビア層絶縁膜の上に配置され、絶縁材料で形成された第2の膜と、前記第2の膜の上面から、前記第1の膜の底面まで達するビアホールと、前記第2の膜の上に配置され、該第2の膜とはエッチング耐性の異なる絶縁材料で形成された第3の膜と、前記第3の膜の上に、該第3の膜とはエッチング耐性の異なる絶縁材料で形成された配線層絶縁膜と、前記配線層絶縁膜の上面から前記第2の膜の上面まで達し、底面の一部において前記ビアホールに繋がらる配線溝と、前記配線溝及び前記ビアホール内に埋め込まれた導電材料からなる配線部材とを有する半導体装置が提供される。

【0011】本発明の他の観点によると、半導体基板の表面の上に、多孔質絶縁材料からなる第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上に、絶縁材料からなる第1のエッチングストッパ膜を形成する工程と、前記第1のエッチングストッパ膜の上に、前記第1のエッチングストッパ膜よりも誘電率の高い絶縁材料からなる第2のエッチングストッパ膜を形成する工程と、前記第2のエッチングストッパ膜の上に、絶縁材料からなる第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上に、開口を有するマスクパターンを形成する工程と、前記マスクパターンをエッチングマスクとし、前記第2のエッチングストッパ膜に対して前記第2の絶縁膜を選択的に

(4)

特開2003-100866

5

エッチングする条件で、前記第2の絶縁膜をエッチングして凹部を形成し、該凹部の底面に前記第2のエッチングストップパ膜を露出させる。ここで、前記第1のエッチングストップパ膜に対して前記第2のエッチングストップパ膜を選択的にエッチングする条件で、前記凹部の底面に露出した前記第2のエッチングストップパ膜をエッチングする工程と、前記凹部内に、導電材料からなる導電部材を埋め込む工程とを有する半導体装置の製造方法が提供される。

【0012】第2のエッチングストップパ膜をエッチングするときに、第1のエッチングストップパ膜が第1の絶縁膜を保護しているため、第1の絶縁膜がエッチング雰囲気中に晒されることを防止できる。この方法により、下記の構造の半導体装置が得られる。

【0013】本発明の他の観点によると、半導体基板の上に形成された多孔質の絶縁材料からなる第1の絶縁膜と、前記第1の絶縁膜の上に形成された絶縁材料からなる第1のエッチングストップパ膜と、前記第1のエッチングストップパ膜の上に形成され、前記第1のエッチングストップパ膜よりも誘電率の大きな絶縁材料からなる第2のエッチングストップパ膜と、前記第2のエッチングストップパ膜上に形成された絶縁材料からなる第2の絶縁膜と、前記第2の絶縁膜及び前記第2のエッチングストップパ膜の2層を貫通し、底面に前記第1のエッチングストップパ膜が残っている凹部と、前記凹部の中に埋め込まれた導電材料からなる導電部材とを有する半導体装置が提供される。

【0014】

【発明の実施の形態】図1～図6を参照して、本発明の実施例による半導体装置の製造方法について説明する。

【0015】図1(A)に示すように、シリコンからなる基板1の表面上に、素子分離絶縁領域2が形成されている。素子分離絶縁領域2は、シリコン局所酸化(LOCOS)や、シャロットレンチアイソレーション(STI)により形成される。素子分離絶縁領域2で囲まれた活性領域上に、ゲート電極3G、ソース領域3S、及びドレイン領域3Dを含むMOSFET3が形成されている。MOSFET3は、周知の成膜、フォトリソグラフィ、エッチング、イオン注入等の工程を繰り返し実行することにより形成される。

【0016】基板1の表面上に、MOSFET3を覆うように、フォスフォリケートガラス(PSG)からなる厚さ1000nmの層間絶縁膜10を、化学気相成長(CVD)により形成する。層間絶縁膜10の上に、炭化シリコン(SiC)または窒化シリコン(SiN)からなる厚さ50nmのエッチングストップパ膜11を、プラズマ励起型CVD(PE-CVD)により形成する。

【0017】図1(B)に示す状態までの工程を説明する。エッチングストップパ膜11及び層間絶縁膜10の2層に、ソース領域3S及びドレイン領域3Dまで達する

6

コンタクトホール12S及び12Dを形成する。

【0018】コンタクトホール12S及び12Dの内面、及びエッチングストップパ膜11の上面を覆う厚さ30nmのバリアメタル層を形成する。バリアメタル層13は、例えば窒化チタン(TiN)や窒化タンタル(TaN)で形成される。バリアメタル層の表面上に、コンタクトホール12S及び12D内を埋め尽くすのに十分な厚さのタングステン(W)層を形成する。バリアメタル層及びW層の形成は、例えばCVDにより行われる。

【0019】エッチングストップパ膜11が露出するまで化学機械研削(CMP)を行い、余分のW層及びバリアメタル層を除去する。コンタクトホール12S及び12D内に、バリアメタル層13及びWからなる導電プラグ14が残る。

【0020】図1(C)に示すように、エッチングストップパ膜11の上に、厚さ150nmの第1層目配線層絶縁膜20を形成する。第1層目配線層絶縁膜20は、ボークラスシリカ(触媒化成株式会社製のIPS)で形成される。このボークラスシリカの組成及び成膜方法が、触媒化成技法の2000年第17巻75頁～82頁に説明されている。以下、簡単に成膜方法を説明する。

【0021】有機オリゴマとシロキサンポリマを溶媒に分散させた塗布液を、基板表面上にスピンコートする。塗布された膜を乾燥させることにより、有機オリゴマとシロキサンポリマとが相互に細かく混入した膜が形成される。この膜を焼成することにより、有機オリゴマのみが熱分解し、多孔質のシロキサンポリマからなる膜が残る。

【0022】第1層目配線層絶縁膜20の上に、酸化シリコン(SiO₂)からなる厚さ50nmのキャップ膜21を、PE-CVDにより形成する。キャップ膜21の上に、レジストパターン24を形成する。レジストパターン24には、第1層目配線層絶縁膜20内に形成される配線に対応した開口26が設けられている。開口26は、通常のフォトリソグラフィにより形成される。

【0023】図2(D)に示すように、レジストパターン24をマスクとして、キャップ膜21及び第1層目配線層絶縁膜20をエッチングする。キャップ膜21及び第1層目配線層絶縁膜20のエッチングは、エッチングガスとしてC₃F₈とO₂とArとの混合ガスを用いた反応性イオンエッチング(RIE)により行われる。第1層目配線層絶縁膜20内に、レジストパターン24の開口26に対応した配線溝25が形成される。導電プラグ12Sや12Dの上面が、対応する配線溝25の底面に露出する。配線溝25を形成した後、レジストパターン24を除去する。

【0024】図2(E)に示すように、配線溝25の内面及びキャップ膜21の上面を覆う厚さ30nmのバリアメタル層22Lを形成する。バリアメタル層22Lは、TiNまたはTa₂Nで形成され、CVDにより成膜

(5)

特開2003-100866

7

される。バリアメタル層22Lの表面上に、銅(Cu)からなる導電層23Lを形成する。導電層23Lは、バリアメタル層22Lの表面をCuからなるシード層で覆った後、Cuを電解めっきすることにより形成され、配線溝25内を埋め尽くすのに十分な厚さを有する。

【0025】図3(F)に示すように、キャップ膜21が露出するまでCMPを行う。配線溝25内に、その内面を覆うバリアメタル層22と、配線溝25内を埋め尽くすCu配線23が残る。

【0026】図3(G)に示すように、キャップ膜21の上に、SiCからなる厚さ50nmの拡散バリア膜30、ポーラスシリカからなる厚さ250nmのビア層絶縁膜31、SiO₂からなる厚さ30nmの下側エッチングストップパ膜32、SiCからなる厚さ30nmの上側エッチングストップパ膜33、ポーラスシリカからなる厚さ150nmの配線層絶縁膜34、SiO₂からなる厚さ20nmのキャップ膜35、及びSiNからなる厚さ50nmのハードマスク36を順番に成膜する。

【0027】拡散バリア膜30及び上側エッチングストップパ膜33は、原料ガスとしてテトラメチルシラン、キャリアガスとしてCO₂を用いたPDE-CVDにより成膜される。ビア層絶縁膜31及び配線層絶縁膜34は、第1層目配線層絶縁膜10の形成方法と同様の方法で形成される。

【0028】SiO₂からなる下側エッチングストップパ膜32及びキャップ膜35は、原料ガスとしてシラン(SiH₄)と亜酸化窒素(N₂O)とを用いたPECVDにより形成される。ハードマスク36は、原料ガスとしてSiH₄とNH₃とを用いたCVDで形成される。

【0029】図4(II)に示すように、ハードマスク36をパターンニングし、開口37を形成する。開口37は、配線層絶縁膜34内に形成する配線のパターンに対応する。ハードマスク36のパターンニングは、通常のフォトリソグラフィ技術を用いて行われる。

【0030】図4(I)に示すように、開口37の底面に露出したキャップ膜35及びハードマスク36の上に、レジストパターン40を形成する。レジストパターン40には、ビア層絶縁膜31に形成されるビアに対応した開口41が形成されている。基板法線に平行な視線で見たと、開口41はハードマスク36に形成された開口37に内包される。

【0031】レジストパターン41をマスクとして、キャップ膜35から、ビア層絶縁膜31の中間までエッチングし、ビアホール42を形成する。SiO₂からなるキャップ膜35、下側エッチングストップパ膜32、ポーラスシリカからなる配線層絶縁膜34、及びビア層絶縁膜31のエッチングは、C₂F₆、O₂、N₂、及びArの混合ガスをを用いたRIEにより行われる。SiCからなる上側エッチングストップパ膜33のエッチングは、CH₂F₂、O₂、及びArを用いたRIEにより行われる。

8

【0032】ビアホール42を形成した後、レジストパターン40をアッシングする。

【0033】図5(J)に示すように、ハードマスク36をマスクとして、配線層絶縁膜34をエッチングする。このとき、上側エッチングストップパ膜33がマスクとなり、ビア層絶縁膜31の中間まで達していたビアホール42の底面がさらにエッチングされ、ビアホール42がビア層絶縁膜31を貫通する。このエッチングは、エッチングガスとして、C₂F₆、O₂、N₂、及びArの混合ガスをを用いたRIEにより行うことができる。このエッチングガスは、SiCやSiNをエッチングする速度が遅いため、配線溝43の底面においては、上側エッチングストップパ膜33によりエッチングが停止し、ビアホール42の底面においては、拡散バリア膜30によりエッチングが停止する。

【0034】このように、上側エッチングストップパ膜33と配線層絶縁膜34とを、相互にエッチング耐性の異なる材料で形成することにより、配線層絶縁膜34を選択的にエッチングし、上側エッチングストップパ膜33を再現性よく残すことができる。また、拡散バリア膜30とビア層絶縁膜34とを、相互にエッチング耐性の異なる材料で形成することにより、ビア層絶縁膜34を選択的にエッチングし、拡散バリア膜30を再現性よく残すことができる。ここで、「エッチング耐性が異なる」とは、ある特定のエッチャント及びエッチング条件における特性(耐性)が異なることを意味しているのではなく、2つの層が相対的に異なるエッチング特性(耐性)を有することを意味する。

【0035】図5(K)に示すように、ハードマスク36、配線溝43の底面に露出している上側エッチングストップパ膜33、及びビアホール42の底面に露出している拡散バリア膜30を、エッチングする。このエッチングは、CH₂F₂、O₂、及びArを用いたRIEにより行うことができる。このエッチングガスは、SiO₂をエッチングする速度が遅いため、配線溝43の底面に、下側エッチングストップパ膜32を再現性よく残すことができる。このため、ビア層絶縁膜31の上面が露出せず、エッチング雰囲気には露されない。

【0036】図6に示すように、ビアホール42及び配線溝43の内面を、Ta₂N₅からなるバリアメタル層50で覆い、内部をCu配線51で埋め込む。バリアメタル層50及びCu配線51は、第1層目配線層のバリアメタル層22及びCu配線23の形成方法と同様の方法で形成される。

【0037】上記実施例では、図5(K)に示したように、配線溝43を形成した後、ビア層絶縁膜31の上面が下側エッチングストップパ膜32で被覆されている。このため、以下に説明する問題を回避することができる。

【0038】ポーラスシリカからなるビア層絶縁膜31

(6)

特開2003-100866

9

の上面が、そのエッチング雰囲気には露されると、微小な凹凸が形成されてしまう。配線溝43の底面に微小な凹凸が形成されると、配線溝43の底面をバリアメタル層50で完全に被覆することが困難になる。被覆不良が発生すると、Cu配線51内のCu原子の拡散を防止する機能が不十分になる。

【0039】凹凸のある配線溝43の底面を、バリアメタル層50で完全に被覆するためには、バリアメタル層50を厚くしなければならない。バリアメタル層50が厚くなると、Cu配線51の断面積が小さくなり、配線抵抗が増加してしまう。

【0040】配線溝43の側面において配線層絶縁膜34がエッチング雰囲気には露され、ビアホール42の側面においてビア層絶縁膜31がエッチング雰囲気には露される。ただし、このエッチングは異方性を有するため、基板表面に対してほぼ垂直な側面には、ほとんど凹凸が形成されない。

【0041】図5(K)において、下側エッチングストップ膜32を配置せず、上側エッチングストップ膜33のみで、ビア層絶縁膜31の上面を被覆する場合を考慮する。この場合には、ビアホール42の底面の拡散バリア膜30が完全に除去された時点で、配線溝43の底面に上側エッチングストップ膜33を残しておかなければならない。拡散バリア膜30の除去不良の発生を防止するために、一般に100%程度のオーバーエッチングが行われる。

【0042】拡散バリア膜30及び上側エッチングストップ膜33は、共にSiCで形成されているため、上側エッチングストップ膜33を再現性よく残すためには、その厚さを拡散バリア膜30の厚さの2倍以上にしなければならない。上側エッチングストップ膜34を厚くすると、絶縁材料としてボラスシリカを使用したことによる寄生容量低減効果が小さくなってしまふ。

【0043】上記実施例では、ビア層絶縁膜30の上面に、拡散バリア膜30とはエッチング耐性の異なる下側エッチングストップ膜32が配置され、その上に、拡散バリア膜30と同一条件でエッチングすることのできる上側エッチングストップ膜33が配置されている。ビアホール42の底面の拡散バリア膜30をエッチングする際に、ビア層絶縁膜31の上面が下側エッチングストップ膜32で被覆されているため、上側エッチングストップ膜33を薄くすることができる。寄生容量の増加を防止するために、上側エッチングストップ膜33を拡散バリア膜30よりも薄くすることが好ましい。また、下側エッチングストップ膜32を構成するSiO₂は、上側エッチングストップ膜33を構成するSiCよりも誘電率が低い。このため、上記実施例の構造は、ビア層絶縁膜31と配線層絶縁膜34との界面に、1層のSiC膜を配置する場合に比べて、寄生容量低減の点で有利である。

10

【0044】上記実施例では、ビア層絶縁膜31及び配線層絶縁膜34を、ボラスシリカで形成したが、他の多孔質絶縁材料で形成する場合にも、同様の効果が期待できる。例えば、ビア層絶縁膜31や配線層絶縁膜34に、多孔質有機絶縁材料を用いることもできる。

【0045】また、上記実施例では、デュアルダマシン法でCu配線を形成する場合を例にとって説明したが、Cu以外の金属配線、例えばAl系(Al合金)配線等を形成してもよい。また、製法を工夫し、Cu合金配線層を利用することもできる。また、上記実施例は、デュアルダマシン法に限らず、他の配線形成方法にも適用可能である。例えば、多孔質絶縁膜(図3(C)のビア層絶縁膜に相当)の上に、図3(C)に示した下側エッチングストップ膜32と上側エッチングストップ膜33とを形成し、その上にダマシン法で金属配線を形成する場合にも、多孔質絶縁膜の上面を配線溝の底面に露出させない効果が得られるであろう。

【0046】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0047】以上の実施例から、以下の各付記に示された発明が導出される。

【0048】(付記1) 半導体素子が形成され、一部に導電性領域が露出している基板の表面上に、絶縁材料からなる第1の膜を形成する工程と、前記第1の膜の上に、絶縁材料からなるビア層絶縁膜を形成する工程と、前記ビア層絶縁膜の上に、絶縁材料からなる第2の膜を形成する工程と、前記第2の膜の上に、絶縁材料からなる配線層絶縁膜を形成する工程と、前記配線層絶縁膜の上面から前記第3の膜の上面まで達する配線溝、及び該配線溝の底面の一部に、前記第1の膜の上面まで達するビアホールを形成する工程であって、該ビアホールは、前記導電性領域と部分的に重なる位置に配置され、該配線溝の形成は、前記第3の膜に対して前記配線層絶縁膜を選択的にエッチングする条件で該配線層絶縁膜をエッチングすることにより行う工程と、前記第2の膜に対して前記第3の膜を選択的にエッチングする条件で、前記配線溝の底面に露出した前記第3の膜、及び前記ビアホールの底面に露出した第1の膜を除去する工程と、前記ビアホール及び配線溝内に、導電材料からなる配線を埋め込む工程とを有する半導体装置の製造方法。

【0049】(付記2) 前記ビア層絶縁膜が、多孔質の絶縁材料で形成されている付記1に記載の半導体装置の製造方法。

【0050】(付記3) 前記ビア層絶縁膜がボラスシリカで形成され、前記第1の膜及び第3の膜が、SiCまたはSiNで形成され、前記第2の膜がSiO₂で

(7)

特開2003-100866

11

形成されている付記1に記載の半導体装置の製造方法。

【0051】(付記4) 前記配線溝及びビアホールを形成する工程が、前記ビアホールを形成する位置に、前記配線層絶縁膜の上から、前記ビア層絶縁膜の中間まで達する凹部を形成する工程と、前記凹部と部分的に重なる位置に、前記第3の膜まで達する前記配線溝を形成すると同時に、前記第3の膜をマスクとして前記凹部の底をさらにエッチングし、前記第1の膜まで達する前記ビアホールを形成する工程とを含む付記1乃至3のいずれかに記載の半導体装置の製造方法。

【0052】(付記5) 前記第2の膜の誘電率が、前記第3の膜の誘電率よりも低い付記1乃至4のいずれかに記載の半導体装置の製造方法。

【0053】(付記6) 前記第3の膜が、前記第1の膜よりも薄い付記1乃至5のいずれかに記載の半導体装置の製造方法。

【0054】(付記7) 前記基板の表面に配置された導電性領域が、Cu配線である付記1乃至6のいずれかに記載の半導体装置の製造方法。

【0055】(付記8) 表面の一部に導電性領域を有する基板の上に形成された絶縁材料からなる第1の膜と、前記第1の膜の上に配置され、絶縁材料で形成されたビア層絶縁膜と、前記ビア層絶縁膜の上に配置され、絶縁材料で形成された第2の膜と、前記第2の膜の上から、前記第1の膜の底面まで達するビアホールと、前記第2の膜の上に配置され、該第2の膜とはエッチング耐性の異なる絶縁材料で形成された第3の膜と、前記第3の膜の上に、該第3の膜とはエッチング耐性の異なる絶縁材料で形成された配線層絶縁膜と、前記配線層絶縁膜の上から前記第2の膜の上面まで達し、底面の一部において前記ビアホールに繋がる配線溝と、前記配線溝及び前記ビアホール内に埋め込まれた導電材料からなる配線部材とを有する半導体装置。

【0056】(付記9) 前記ビア層絶縁膜が、多孔質の絶縁材料で形成されている付記8に記載の半導体装置。

【0057】(付記10) 前記ビア層絶縁膜がボラスシリカで形成され、前記第2の膜がSiO₂で形成され、前記第1の膜及び第3の膜が、SiCまたはSiNで形成されている付記8に記載の半導体装置。

【0058】(付記11) 前記第2の膜の誘電率が、前記第3の膜の誘電率よりも低い付記8乃至10のいずれかに記載の半導体装置。

【0059】(付記12) 前記第3の膜が、前記第1の膜よりも薄い付記8乃至11のいずれかに記載の半導体装置。

【0060】(付記13) 前記基板の表面の一部に配置された導電性領域が、該基板の表面下に形成されたCu配線である付記8乃至12のいずれかに記載の半導体装置。

12

【0061】(付記14) 半導体基板の表面上に、多孔質絶縁材料からなる第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上に、絶縁材料からなる第1のエッチングストップ膜を形成する工程と、前記第1のエッチングストップ膜の上に、前記第1のエッチングストップ膜よりも誘電率の高い絶縁材料からなる第2のエッチングストップ膜を形成する工程と、前記第2のエッチングストップ膜の上に、絶縁材料からなる第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上に、開口を有するマスクパターンを形成する工程と、前記マスクパターンをエッチングマスクとし、前記第2のエッチングストップ膜に対して前記第2の絶縁膜を選択的にエッチングする条件で、前記第2の絶縁膜をエッチングして凹部を形成し、該凹部の底面に前記第2のエッチングストップ膜を露出させる工程と、前記第1のエッチングストップ膜に対して前記第2のエッチングストップ膜を選択的にエッチングする条件で、前記凹部の底面に露出した前記第2のエッチングストップ膜をエッチングする工程と、前記凹部内に、導電材料からなる導電部材を埋め込む工程とを有する半導体装置の製造方法。

【0062】(付記15) 前記第1の絶縁膜及び第2の絶縁膜がボラスシリカで形成され、前記第1のエッチングストップ膜がSiO₂で形成され、前記第2のエッチングストップ膜がSiCまたはSiNで形成されている付記14に記載の半導体装置の製造方法。

【0063】(付記16) 半導体基板の上に形成された多孔質の絶縁材料からなる第1の絶縁膜と、前記第1の絶縁膜の上に形成された絶縁材料からなる第1のエッチングストップ膜と、前記第1のエッチングストップ膜の上に形成され、前記第1のエッチングストップ膜よりも誘電率の大きな絶縁材料からなる第2のエッチングストップ膜と、前記第2のエッチングストップ膜上に形成された絶縁材料からなる第2の絶縁膜と、前記第2の絶縁膜及び前記第2のエッチングストップ膜の2層を貫通し、底面に前記第1のエッチングストップ膜が残っている凹部と、前記凹部の中に埋め込まれた導電材料からなる導電部材とを有する半導体装置。

【0064】(付記17) 前記第1の絶縁膜がボラスシリカで形成され、前記第1のエッチングストップ膜がSiO₂で形成され、前記第2のエッチングストップ膜がSiCまたはSiNで形成されている付記16に記載の半導体装置。

【0065】
【発明の効果】以上説明したように、本発明によれば、ビア層絶縁膜の配線層絶縁膜との界面に、相互にエッチング耐性の異なる2層のエッチングストップ膜が配置されている。配線層絶縁膜に配線溝を形成する際に、上側のエッチングストップ膜でエッチングが停止する。配線溝の底面に露出した上側のエッチングストップ膜をエッチングする際には、下側のエッチングストップ膜でエ

(8)

特開 2003-100866

13

チングが停止する。このため、ビア腐蝕絶縁膜の上面が、エッチング雰囲気中に晒されることを防止できる。多孔質材料からなる絶縁膜がエッチング雰囲気中に晒されると、露出表面に微小な凹凸が発生してしまうため、本発明は、特に、絶縁膜に多孔質材料を用いる場合に有効である。

【図面の簡単な説明】

【図１】本発明の実施例による半導体装置の、製造途中における断面図（その１）である。

【図 2】本発明の実施例による半導体装置の、製造途中 10 における断面図（その 2）である。

【図3】本発明の実施例による半導体装置の、製造途中における断面図（その3）である。

【図４】本発明の実施例による半導体装置の、製造途中における断面図（その４）である。

【図5】本発明の実施例による半導体装置の、製造途中における断面図（その5）である。

【図6】本発明の実施例による半導体装置の断面図（その6）である。

【符号の説明】

1 基板

【图 1】

Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (A), (B), and (C).

- (A)** Shows a substrate (1) with a gate stack (2) and a gate electrode (3). A conductive plug (14) is formed in a trench. The gate stack includes a gate dielectric layer (11) and a gate electrode layer (10). The conductive plug (14) is formed in a trench (3S) and is surrounded by a conductive layer (3G) and a conductive layer (3D).
- (B)** Shows the device after the formation of a conductive plug (14) and a conductive layer (13). The conductive plug (14) is formed in a trench (3S) and is surrounded by a conductive layer (3G) and a conductive layer (3D). The conductive layer (13) is formed on the conductive plug (14).
- (C)** Shows the device after the formation of a conductive plug (14) and a conductive layer (13). The conductive plug (14) is formed in a trench (3S) and is surrounded by a conductive layer (3G) and a conductive layer (3D). The conductive layer (13) is formed on the conductive plug (14). The conductive layer (13) is formed on the conductive plug (14).

Legend:

- 2: 素子分離絶縁領域 (Element isolation insulating region)
- 3: MOSFET
- 20: 第1層目配線層絶縁膜 (First layer wiring layer insulating film)
- 21: キャップ層 (Cap layer)

14

- 2 素子分離絶縁領域
- 3 MOSFET
- 10 層間絶縁膜
- 11 エッチングストップパ膜
- 12 S、12 D、25、42 ビアホール
- 13、22 L、22、50 バリアメタル膜
- 14 導電ブラグ
- 20 第1層配線層絶縁膜
- 21、35 キャップ膜
- 23 L、導電層
- 24、40 レジストパターン
- 25、51 Cu配線
- 26、37、41 開口
- 30 拡散バリア膜
- 31 ビア層絶縁膜
- 32 下側エッチングストップパ膜
- 33 上側エッチングストップパ膜
- 34 配線層絶縁膜
- 36 ハードマスク
- 43 配線溝

20

【圖 2】

(D)

26
25
24
21
20
11
10
2
1

3S 3 3C 3D 14 13

25: 配線層

(E)

25
25
25
23L
22L
21
20
11
10
2
1

3S 3 3G 3D 14 13

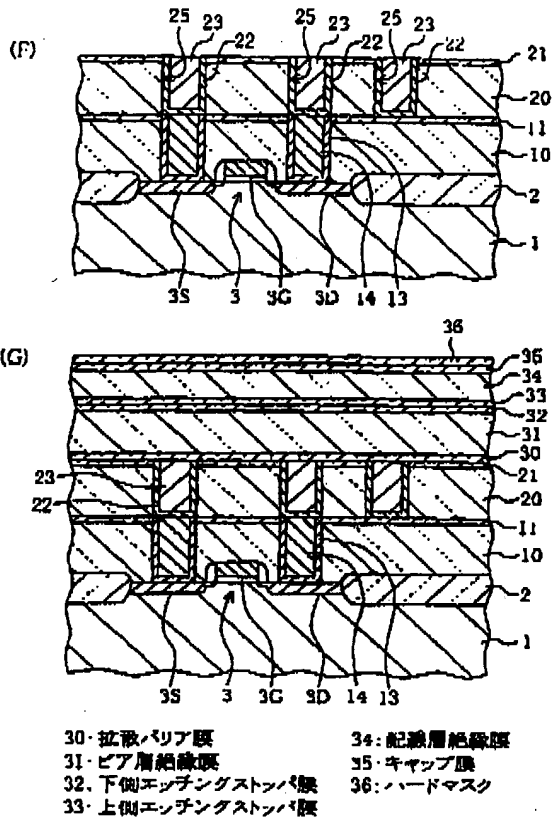
22L: バリアメタル層
23L: 絶縁層

22L. バリアメタル層
23L. 保護膜

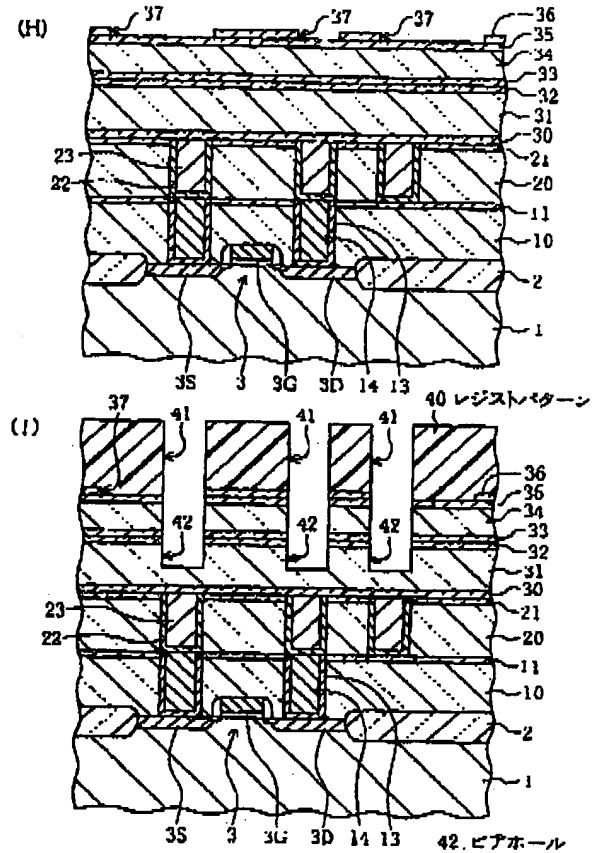
(9)

特開2003-100866

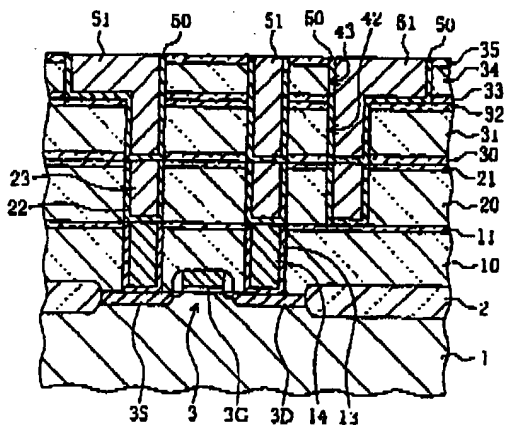
【図3】



【図4】



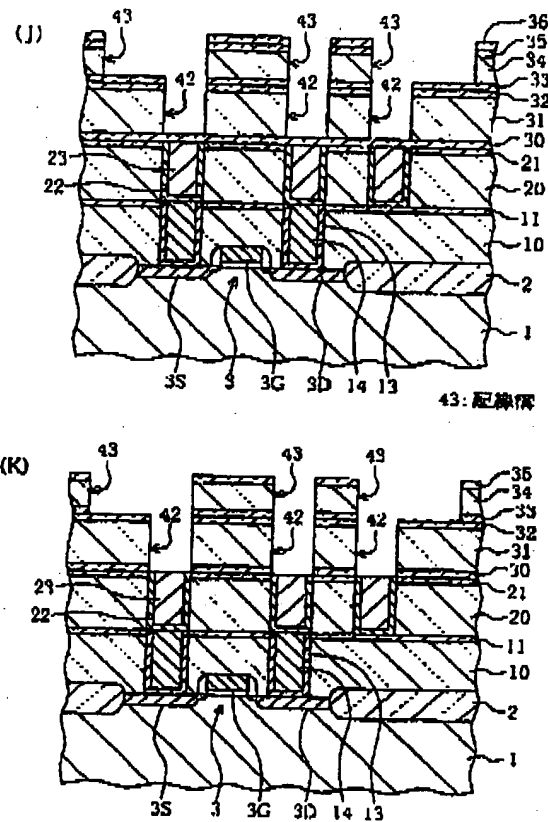
【図6】



(10)

特開2003-100866

【図5】



フロントページの続き

(72) 発明者 佐久間 裕子
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

Fターム(参考) 4M104 AA01 BB30 BB32 DD15 DD17
 DD19 EE12
 5F033 HH08 HH11 HH32 HH33 JJ01
 JJ08 JJ11 JJ19 JJ32 JJ33
 KK03 KK08 KK11 KK32 KK33
 MM01 MM02 MM12 MM13 NN06
 NN07 PP06 PP27 QQ09 QQ10
 QQ13 QQ25 QQ28 QQ35 QQ37
 QQ48 RR01 RR04 RR06 RR14
 RR29 SS02 SS15 SS22

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.